

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-236823

(43)Date of publication of application : 09.09.1997

(51)Int.Cl. G02F 1/136
G02F 1/133
H01L 29/786

(21)Application number : 08-045072 (71)Applicant : TOSHIBA CORP

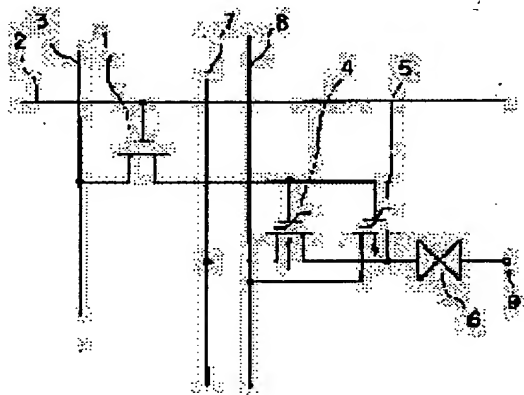
(22)Date of filing : 01.03.1996 (72)Inventor : AKIYAMA MASAHIKO
NAKAI YUTAKA
HIOKI TAKESHI

(54) LIQUID CRYSTAL DISPLAY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To attain reduction of power consumption, acquisition of excellent picture quality and high preciseness of a circuit in a liquid crystal display device.

SOLUTION: In an unit pixel, a transistor 1 for selecting pixel, a scanning line 2 for selecting the transistor 1 and a signal line 3 supplying a signal for deciding the state of the pixel are respectively connected to a gate and a source. Gates of n-channel type transistor 4 and p-channel type transistor 5 provided with ferroelectric substances are connected to the drain in gate parts. Source sides of the n-channel type transistor 4 and the p-channel type transistor 5 are respectively connected to two wirings 7, 8 and drain sides are connected to each other to enable applying the voltage to a liquid crystal 6.



LEGAL STATUS

[Date of request for examination] 13.04.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3319561

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-236823

(43) 公開日 平成9年(1997)9月9日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F 1/136	5 0 0		G 0 2 F 1/136	5 0 0
	1/133	5 5 0	1/133	5 5 0
H 0 1 L 29/786			H 0 1 L 29/78	6 1 2 A

審査請求 未請求 請求項の数 5 O L (全 7 頁)

(21) 出願番号 特願平8-45072

(22) 出願日 平成8年(1996)3月1日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 秋山 政彦

神奈川県横浜市磯子区新磯子町33 株式会
社東芝生産技術研究所内

(72) 発明者 中井 豊

神奈川県横浜市磯子区新磯子町33 株式会
社東芝生産技術研究所内

(72) 発明者 日置 毅

神奈川県横浜市磯子区新磯子町33 株式会
社東芝生産技術研究所内

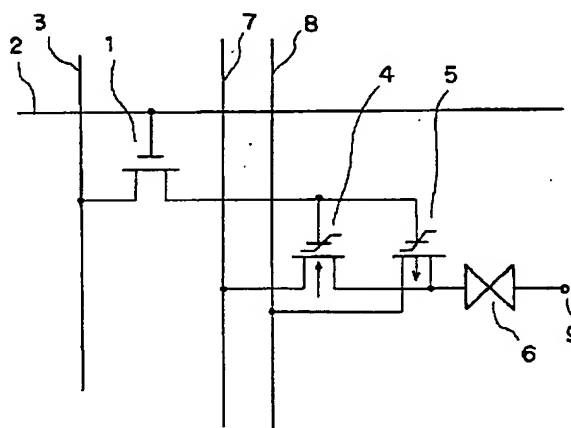
(74) 代理人 弁理士 須山 佐一

(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】 液晶表示装置での消費電力の低減。良好な画質の獲得。回路の高精細化。

【解決手段】 単位画素には、画素選択用トランジスタ1、これを選択する走査線2、画素の状態を決める信号を供給する信号線3、がそれぞれゲートおよびソースの接続される。ドレインにはゲート部には強誘電体が設けられたnチャネル型トランジスタ4、pチャネル型トランジスタ5のゲートが接続される。nチャネル型、pチャネル型トランジスタ4、5のソース側を2つの配線7、8にそれぞれ接続し、ドレイン側を相互に接続して液晶6に電圧を印加するようにする。



【特許請求の範囲】

【請求項 1】 第 1 および第 2 の電極間に挟まれた液晶層と、

第 1 の電位を供給する第 1 の電位供給手段と、

第 2 の電位を供給する第 2 の電位供給手段と、

表示信号を保持する強誘電体と、

前記強誘電体に保持された表示信号に応じて、前記第 1 または第 2 の電位を前記第 1 の電極に印加する手段と、前記第 2 の電極に基準電位を印加する手段とを具備することを特徴とする液晶表示装置。

【請求項 2】 第 1 の電位を供給する第 1 の電位供給線路と、

第 2 の電位を供給する第 2 の電位供給線路と、

ゲート部に表示信号を保持する強誘電体を有し、前記第 1 の電位供給線路と液晶との間にソースドレインが介挿された p チャネルの電界効果トランジスタと、ゲートに前記表示信号を保持する強誘電体を有し、前記第 2 の電位供給線路と前記液晶との間にソースドレインが介挿された n チャネルの電界効果トランジスタとを具備することを特徴とする液晶表示装置。

【請求項 3】 第 1 の電位を供給する第 1 の電位供給線路と、

第 2 の電位を供給する第 2 の電位供給線路と、

表示信号を保持する強誘電体コンデンサと、

ゲートに前記強誘電体コンデンサに保持された電位が印加され、前記第 1 の電位供給線路と液晶との間にソースドレインが介挿された p チャネルの電界効果トランジスタと、

ゲートに前記強誘電体コンデンサに保持された電位が印加され、前記第 2 の電位供給線路と前記液晶との間にソースドレインが介挿された n チャネルの電界効果トランジスタとを具備することを特徴とする液晶表示装置。

【請求項 4】 第 1 の電位を供給する第 1 の電位供給線路と、

第 2 の電位を供給する第 2 の電位供給線路と、

表示信号を保持する第 1 の強誘電体コンデンサと、

前記表示信号を保持する第 2 の強誘電体コンデンサと、

ゲートに前記第 1 の強誘電体コンデンサに保持された電位が印加され、前記第 1 の電位供給線路と液晶との間にソースドレインが介挿された p チャネルの電界効果トランジスタと、

ゲートに前記第 2 の強誘電体コンデンサに保持された電位が印加され、前記第 2 の電位供給線路と前記液晶との間にソースドレインが介挿された n チャネルの電界効果トランジスタとを具備することを特徴とする液晶表示装置。

【請求項 5】 画素電極と、

この画素電極により覆われ、表示信号に基づく電位をこの画素電極に印加する駆動素子とを有する液晶表示装置において、

前記駆動素子が、前記表示信号を保持する強誘電体を持つことを特徴とする液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、液晶表示装置に関する。

【0002】

【従来の技術】液晶ディスプレイは、薄型で低消費電力であり、ノート型パソコンなどに広く用いられている。

特に消費電力が小さいことが他の CRT、プラズマディスプレイなどのディスプレイと比べて優れた特徴であり、今後は携帯情報機器への応用が期待されている。

【0003】携帯機器の場合、ディスプレイの消費電力が 500 mW 以下、できれば数 mW と小さいことが望ましい。

この要求に対して、従来は TN 型液晶の単純マトリクス型でバックライトが不要で消費電力の小さい反射型を用いてきた。しかし、TN 型では偏光板が必要であり反射率が 30% 程度と暗いこと、単純マトリクス型では画素数を増やすとコントラストが下がりさらに見にくくなるなどの問題がある。

そこで、液晶表示に偏光板を用いない PCH (相変化ゲストホスト型) モードを用いてアクティブマトリクスによる駆動を行うことにより、反射率が高く、コントラストも高い表示を得ることが試みられている。

【0004】図 7 にこのような従来例の構成を示す。同図に示す回路構成は、従来の透過型 TN 液晶のアクティブマトリクスと同等であり、信号線 71、ゲート線 72 およびその交点にある薄膜トランジスタ TFT 73 により、各画素の液晶 74 および蓄積容量線 75 に接続された蓄積容量 76 に電荷を与える。液晶 74 には交流を印加する必要があり、対向基板の対向電極 77 の電圧を中心に正電圧、負電圧となるように信号線電圧を与えて実現している。

【0005】このような液晶ディスプレイでは、表示が全く変化しない場合でも交流電圧を印加する必要があるため、フレーム周期で選択されることに画素電位を書換えている。容量に交流を印加する場合の消費電力は、

$$P = f \times V^2 \times C$$

(周波数 f ; 電圧 V ; 容量 C)

であるから、周波数が高いほど、電圧が高いほど、容量が大きいほど消費電力が大きい。

【0006】液晶ディスプレイで交流駆動する場合には、各画素の駆動周波数はフレーム周波数、信号線の駆動周波数はフレーム周波数と走査線本数の積、信号線ドライバ IC の駆動周波数は、画面の総画素数とフレーム周波数の積の値、もし分割駆動すればさらに分割数で割った値、となる。現状で、対角 10.4 インチのカラー VGA (640 × RGB × 480 画素) では信号線 IC の消費電力は 1 W 程度であるから、A4 サイズで 150 dpi 相当の高精細 LCD の画素数では VGA の 6.25 倍の 1600

×1200画素程度となり、2〜3W以上と大きくなってしまうことが予想される。これでは携帯情報機器に用いるのはバッテリーの使用時間が短く、問題がある。

【0007】この問題に対して双安定の強誘電性液晶(SSFLC)を用いると液晶にメモリ性があり、表示が変わらない限り電圧の供給を停止することができることが知られており、消費電力の低減が可能である。

【0008】しかし、双安定の強誘電性液晶では、衝撃により配向が乱れて表示不良が発生する問題があり、携帯型表示デバイスとしては採用できない。さらにメモリ性を持った液晶では表示品位(コントラスト、反射率など)が制限されることが多く、たとえばSSFLCでは偏光板の使用が不可欠の表示モードであり、反射率は30%程度と暗い画面しか得られない問題もあった。

【0009】

【発明が解決しようとする課題】前述したように、パソコンの画面や携帯情報機器の画面などでは静止画が多く画面が書き変わらなくとも信号線に交流を供給することになり、電力を無駄に消費していることになる。

【0010】そこで、本発明では上述の問題点を解決し、電力消費を低減することを目的とする。

【0011】さらに、本発明では画素回路の簡略化を図ることで高精細化を実現することも目的とする。

【0012】

【課題を解決するための手段】かかる課題を解決するため、請求項1記載の本発明は、第1および第2の電極間に挟まれた液晶層と、第1の電位を供給する第1の電位供給手段と、第2の電位を供給する第2の電位供給手段と、表示信号を保持する強誘電体と、前記強誘電体に保持された表示信号に応じて、前記第1または第2の電位を前記第1の電極に印加する手段と、前記第2の電極に基準電位を印加する手段とを具備するものである。

【0013】ここで、第1の電極とは例えば画素電極、第2の電極とは例えば対向電極、基準電位とは例えば対向電極の電位のこと、例えばグラウンド電位である。

【0014】第1の電位、第2の電位は、異なる電位であることを意味する。第1の電位、第2の電位は、一方が直流で他方が交流、あるいは両方が直流または交流であってもよい。

【0015】第1の電位供給手段、第2の電位供給手段は、例えば給電線路のような形態である。第1の電位供給手段、第2の電位供給手段ばかりでなく、第3の電位供給手段、第4の電位供給手段等を設け、これらに供給される電位も選択的に液晶に印加するようにしてもよい。

【0016】表示信号は、例えば信号線を介して信号線駆動回路より印加される。信号線と強誘電体との間には、例えばゲートが走査線に接続されたFETを介挿する。

【0017】「強誘電体に保持された表示信号に応じ

て、前記第1または第2の電位を前記第1の電極に印加する手段」は、例えばスイッチング素子のような形態であるが、制御素子のような形態であっても構わない。スイッチング素子としては、一对のpチャネルとnチャネルの電界効果トランジスタがある。そして、例えばpチャネルおよびnチャネルの電界効果トランジスタのゲートに同じ信号を印加するだけで、相反的に一方をオン、他方をオフさせることができ、第1の電極に印加する電圧を選択することができる。

【0018】強誘電体は、例えば電界効果トランジスタの例でいうと、電界効果トランジスタのゲート絶縁膜としてもよいが、電界効果トランジスタとは別個の素子としても構わない。

【0019】請求項2に係る本発明は、第1の電位を供給する第1の電位供給線路と、第2の電位を供給する第2の電位供給線路と、ゲートに表示信号を保持する強誘電体を有し、前記第1の電位供給線路と液晶との間にソースドレインが介挿されたpチャネルの電界効果トランジスタと、ゲートに前記表示信号を保持する強誘電体を有し、前記第2の電位供給線路と前記液晶との間にソースドレインが介挿されたnチャネルの電界効果トランジスタとを具備する。

【0020】請求項3に係る本発明は、第1の電位を供給する第1の電位供給線路と、第2の電位を供給する第2の電位供給線路と、表示信号を保持する強誘電体コンデンサと、ゲートに前記強誘電体コンデンサに保持された電位が印加され、前記第1の電位供給線路と液晶との間にソースドレインが介挿されたpチャネルの電界効果トランジスタと、ゲートに前記強誘電体コンデンサに保持された電位が印加され、前記第2の電位供給線路と前記液晶との間にソースドレインが介挿されたnチャネルの電界効果トランジスタとを具備する。

【0021】請求項4に係る本発明は、第1の電位を供給する第1の電位供給線路と、第2の電位を供給する第2の電位供給線路と、表示信号を保持する第1の強誘電体コンデンサと、前記表示信号を保持する第2の強誘電体コンデンサと、ゲートに前記第1の強誘電体コンデンサに保持された電位が印加され、前記第1の電位供給線路と液晶との間にソースドレインが介挿されたpチャネルの電界効果トランジスタと、ゲートに前記第2の強誘電体コンデンサに保持された電位が印加され、前記第2の電位供給線路と前記液晶との間にソースドレインが介挿されたnチャネルの電界効果トランジスタとを具備する。

【0022】請求項5に係る本発明は、画素電極と、この画素電極により覆われ、表示信号に基づく電位をこの画素電極に印加する駆動素子とを有する液晶表示装置において、前記駆動素子が、前記表示信号を保持する強誘電体を持つことを特徴とする。駆動素子としては、例えば電界効果トランジスタがある。そして、例えば電界

10

20

30

40

50

効果トランジスタが表示信号を保持する強誘電体を持つので、画素電極と電界効果トランジスタのゲートとの間の寄生容量の変動に対して電界効果トランジスタの電気的特性は無視できるものとなる。この結果、表示品質が向上する。

【0023】

【発明の実施の形態】図1は本発明に係る液晶表示装置の1画素の等価回路図を示す。

【0024】同図に示すように、単位画素には、画素選択用トランジスタ1、これを選択する走査線2、画素の状態を決める信号を供給する信号線3、がそれぞれゲートおよびソースの接続される。

【0025】画素選択用トランジスタ1のドレインにはnチャネル型トランジスタ4、pチャネル型トランジスタ5のゲートが接続される。トランジスタ4、5のゲート部には強誘電体が設けられ、内部分極の状態によってトランジスタがオン、オフを保持することができる。強誘電体はトランジスタのゲート絶縁膜の一部に設けることとした。nチャネル型、pチャネル型トランジスタ4、5のソース側を2つの配線7、8にそれぞれ接続し、ドレイン側を相互に接続して液晶6に電圧を印加するようにする。液晶6の他方の電位は対向電極9となっている。

【0026】配線7に対向電極9の電位を中心に60Hz程度の交流を印加し、配線7を対向電極9と同じ電位とすると、ゲート信号がオン(図2A)、走査信号パルスが印加(図2B)のときにトランジスタ4がオン(図2D)しているときには液晶6に所定の交流電圧が印加され(図2E)、ゲート信号オフ(図2A)、走査信号パルスがオフ(図2B)のときにトランジスタ5がオン(図2C)しているときには液晶6には電圧が印加されない状態を得る(図2E)。この2つの状態はトランジスタ4、5によってメモリされているので画像が変化しなければ、信号線3に高周波の交流を印加する必要がなく、低消費電力が実現される。トランジスタ4、5は同じゲート電位を印加しても相反的に動作するので画素回路が大幅に簡略される。信号線を2本にして2つのトランジスタを独立に制御することも可能であるが、それに比べて外部駆動回路が簡略になるとともに、画素の高集積化が図られる。

【0027】なお、配線7、8には上記の信号のかけ方に限定されない。両者とも直流の電位とすることもかまわない。

【0028】図3は図1の回路を実現した画素の平面図、図4は図3のA-A'断面図を示す。図3の30x(x=1~9)は図1の番号Xと対応させている。なお、図3の309は画素電極を示す。

【0029】図4を用いて本発明の主要なプロセスを説明する。まず、絶縁性基板401にアモルファスシリコン膜を堆積し、エキシマレーザアニールにより多結晶化さ

せ、島状にパターンニングする。nチャネルトランジスタ407およびpチャネルトランジスタ408のチャネル領域402は多結晶シリコン(膜厚70nm)である。なお、本例ではn-ch、p-chともノンドープの多結晶シリコンとしたがTFTのしきい値電圧制御のためにn-ch、p-chそれぞれ独立にわずかにドーピングしてもよい。

【0030】続いて強誘電体を含むゲート絶縁膜405を堆積する。本例ではECR-CVDで堆積したシリコン酸化膜(膜厚50nm)とチタン酸バリウム(BaTiO_3)強誘電体膜(膜厚20~400nm)の積層とした。強誘電体単層でもよく、強誘電体の上に絶縁膜を設けたもの、3層にしたもの、強誘電体と常誘電体の間に中間電極を設けたものなどもよい。強誘電体としては、PZT($[\text{Pb}(\text{Zr}, \text{Ti})\text{O}_6]$)などのペロブスカイト型酸化物の他、層状酸化物(Bi , Ti , O , 等)を用いてもよく、有機材料(ビニリデンフルオライド(VDF; vinylidene fluoride)とトリフロエチレン(TrFE ; trifluoroethylene)の混合物など)でもよい。成膜方法として、スパッタ法、ゾル・ゲル法、レーザアブレーション法、CVD法、などを用いることができる。

【0031】その上にゲート電極406を形成し、イオンドーピングでソース、ドレイン領域を形成する。n-ch TFT 407ではソース、ドレイン領域403に磷を、p-ch TFT 408ではソース、ドレイン領域404にボロンを、それぞれドーピングした。また、それぞれLDD構造とし、ソース、ドレイン領域とチャネルとの間に中濃度不純物領域を設けた。全体をシリコン酸化膜ないしシリコン窒化膜などの層間絶縁膜409で覆い、スルーホールを開けた後にソース、ドレイン電極およびこれと接続される配線410、411、412を形成した。その上にアクリル樹脂、BCB(ベンゾシクロブテン)などの第2の層間絶縁膜413と堆積し、スルーホールを開けた後に画素電極414を形成した。

【0032】以上でTFTアレイが完成し、ガラスないしプラスチックなどの対向基板417および対向電極416との間に液晶を配置して表示装置が完成する。

【0033】液晶には、ゲストホスト型液晶を用いた。ホスト液晶を90~360度回転させたもの、配向がランダムになるアモルファスゲストホスト型などがコントラスト、反射率を高める上で有効である。また、TN型でもよく、コレステリック液晶を用いた選択反射-透過モードでもよく、強誘電性液晶、反強誘電性液晶、高分子分散型液晶、OCBモード液晶、などを用いてもよい。表示方式も自由であり、光学的な変化の分類でいえば、透過-吸収を得るもの、透過-散乱を得るもの、散乱-吸収を得るもの、などいずれでもよい。画素の素子数が多いので素子の上に絶縁膜を設けて画素電極を形成した反射型が望ましいが、画素サイズによっては透過型でも可能である。モノクロでもカラー表示でも当然かまわない。液晶層は単層でも多層でもよい。

【0034】図4の構造では画素電極がTFT部および配線を覆うようにしているが、本発明のように液晶には常時（画素を選択していない期間）決められた信号が供給されるため、従来例と異なり、画素電極と信号線、走査線、その他の配線との寄生容量によるノイズの問題がなく、設計が容易となる。つまり、従来は、画素電極でTFT部等を覆うようにした場合、画素電極とTFT部等との間に寄生容量が発生し、TFT部等の電気的特性に悪影響を与え、表示品質等に悪影響を与えていた。これに対して、本発明では、画素電極の下に強誘電体を含むトランジスタを配置したので、寄生容量による表示品質等の劣化はなくなる。

【0035】図1の選択トランジスタは1つの場合に限らず、縦横に設けた走査線の交点のみに信号線電圧が印加されるようなANDを取る2つのトランジスタの回路などを用いることもできる。また、1つの選択線の情報を読み取り、画素選択および信号受信を行う回路としてもよい。

【0036】以上の実施例ではトランジスタを多結晶シリコンTFTとしたが、アモルファスシリコンTFTでもよく、微結晶シリコンでもシリコン-ゲルマニウム合金などでもよい。トランジスタ構造はプレーナ型に限らず、スタガ型、逆スタガ型でもよく、セルフアライン型に限らず、非セルフアライン型でも構わない。

【0037】図5は本発明の他の例の画素部の回路図を示す。本例では、nチャネルトランジスタ505およびpチャネルトランジスタ503は通常の電界効果トランジスタでチャネル部が多結晶シリコンまたは、アモルファスシリコンでできており、ソース、ドレイン領域の不純物のキャリアが電子か正孔かでnチャネルかpチャネルかが決まる。強誘電体はゲート電極に接続された強誘電体コンデンサ504,506によって構成されている。

【0038】この一対のトランジスタのゲートに電圧を与えるのに、2つの選択用トランジスタ501,502があり、1つの走査線510ともう1つの走査線511の両方がハイレベル（トランジスタ501,502がnチャネルの場合）の時に信号線512からの電圧がかかるようになっている。これにより、任意画素のみに信号を与えることができる。

【0039】本例では、強誘電体とトランジスタが分離されており、プロセス的に作りやすい特徴がある。

【0040】なお、強誘電体コンデンサとトランジスタは平面的に離れていてもいなくてもよい。すなわちゲート電極とチャネルの間に強誘電体と常誘電体からなるゲート絶縁膜を配し、その間に中間電極を設けることも可能である。また、強誘電体に接する電極にはITOなどの酸化物電極を採用できる。

【0041】トランジスタの構造はプレーナ型にかぎらず、スタガ型、逆スタガ型などいずれでもよく、半導体には多結晶シリコンなどの他に単結晶シリコン、微

結晶シリコン、シリコン-ゲルマニウム合金、Te, CdSeなどの半導体でもよい。また、図5では、各トランジスタ507,508のゲートにそれぞれ強誘電体コンデンサ504,506が接続されていたが、図6に示すように選択用トランジスタ601のドレインと2つのトランジスタ602,603のゲート間を1つの強誘電体コンデンサ604を介して接続してもよい。

【0042】図8にさらに他の例を示す。この例では、液晶に印加する電圧が2種より多い種類、例えば4種類を印加することができる。同図では、液晶812に対してpチャネル、nチャネルの一対のトランジスタ802,803があり、これには強誘電体がゲート絶縁膜に儲けられれている。強誘電体の分極が反転することでトランジスタ803がオンとなるゲート電圧を V_{th1} 、同時にトランジスタ802はオンからオフとなるようにする。

【0043】トランジスタ803には、pチャネル、nチャネルの一対のトランジスタ804,805が接続され、同時に強誘電体を含み、ただししきい値電圧がトランジスタ802,803と異なった V_{th2} を持つ。

【0044】トランジスタ805には、pチャネル、nチャネルの一対のトランジスタ806,807が接続され、 V_{th3} 、 $V_{th3'}$ のしきい値電圧を持つ。これらのゲートは、接続され、画素選択用トランジスタ801によって駆動される。

【0045】画素選択用トランジスタ801からの信号が十分負になっていれば、トランジスタ802はオンとなる。そこで、液晶812は、信号線808の信号が印加される。 $V_{th1} < V_{th2} < V_{th3}$ とすれば、符号816の電圧が V_{th1} を越えるとトランジスタ802がオフし、トランジスタ803がオンしているので、信号線809の信号が液晶812に印加される。符号816の電圧が V_{th2} を越えるとトランジスタ804がオフし、トランジスタ805がオンする。トランジスタ806はオンしたままなので信号線810の信号が液晶812に印加される。符号816の電圧が V_{th3} を越えるとトランジスタ806がオフし、トランジスタ807がオンするため、信号線811の信号が液晶812に印加される。

【0046】このようにすることで、4種類の信号を切り替えてかつメモリ性を持たせることができる。 V_{th} を変える方法として、強誘電体の膜厚を変える他に、常誘電体ゲート絶縁膜の膜厚を変える方法もある。また、チャネルにドーピングすることでもよい。図5、図6のように強誘電体コンデンサを接続する方法でもよい。これにより、階調を得ることができる。

【0047】なお、信号線808,809,810,811の信号は、各画素に外部から印加するようにすればよいが、例えば信号線808,811の信号のみを外部から与えて、信号線809,810の信号については画素内で分割抵抗や容量分割で作ることができる。

【0048】その他、本発明の趣旨を逸脱しない範囲で

あれば様々な変形をすることは可能である。

【0049】

【発明の効果】以上詳述したように、本発明によれば、液晶ディスプレイでの消費電力を低減することができる。液晶には所定の電位が常時印加されるので、良好な画質が得られる。また、回路が簡略となり高精細化が実現される。

【図面の簡単な説明】

【図1】 本発明に係る画素部の回路図。

【図2】 本発明に係る液晶表示装置の駆動タイミングチャート。

【図3】 本発明に係る画素部の平面図。

【図4】 本発明に係る画素部の断面図。

【図5】 本発明の他の例に係る画素部の回路図。

* 【図6】 本発明の他の例に係る画素部の回路図。

【図7】 従来の画素部の回路図。

【図8】 本発明の他の例に係る画素部の回路図。

【符号の説明】

1 画素選択薄膜トランジスタ

2 走査線

3 信号線

4 ゲートに強誘電体を含むnチャネル型薄膜トランジスタ

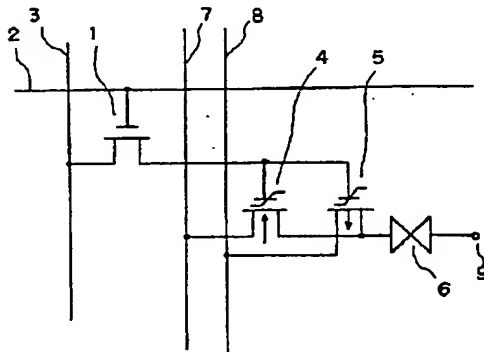
5 ゲートに強誘電体を含むpチャネル型薄膜トランジスタ

6 液晶

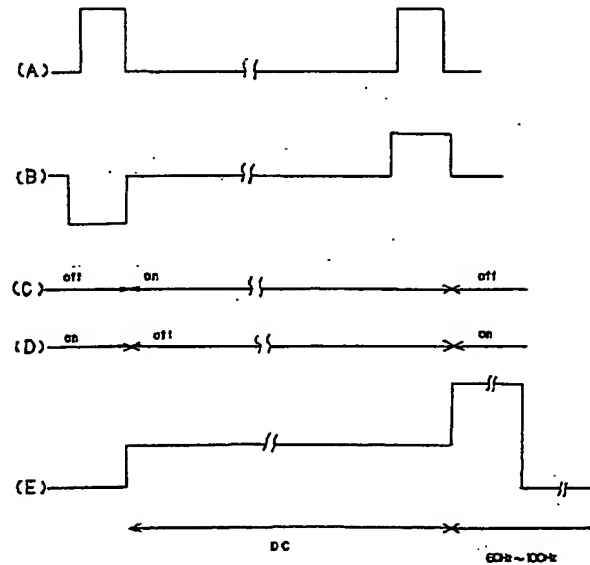
7、8 信号供給線

* 9 対向電極

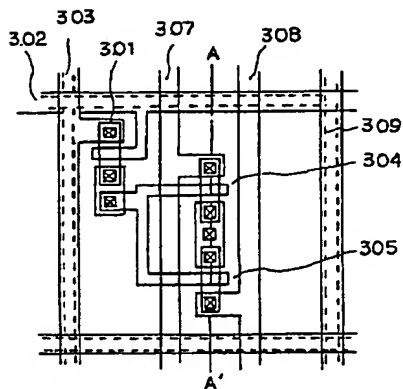
【図1】



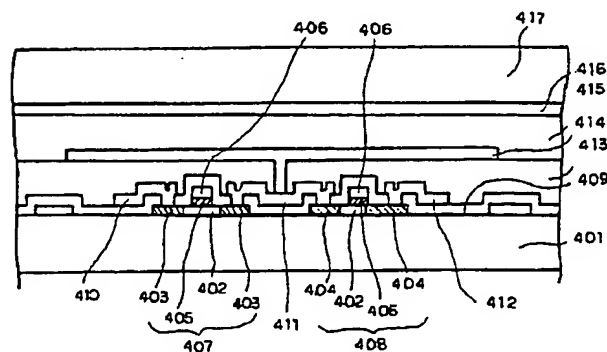
【図2】



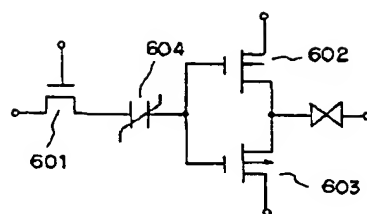
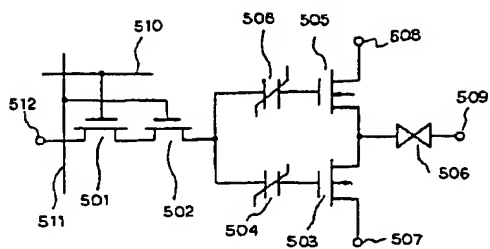
【図3】



【図4】



【图6】



【圖 8】

